

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-167598

(43)Date of publication of application : 22.06.2001

(51)Int.Cl.

G11C 29/00
G11C 11/407
G11C 11/401

(21)Application number : 11-345074

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 03.12.1999

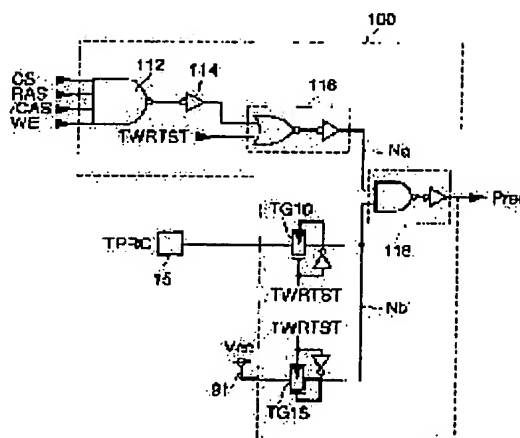
(72)Inventor : HOSHIDA TETSUJI
IKEDA ISATO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a constitution of a semiconductor device in which a write-recovery time under high speed operation can be evaluated even by a tester of comparatively slow speed operation.

SOLUTION: When a write-recovery test signal TWRTST is activated, a pre-charge control circuit 100 turns on and off transfer gates TG10 and TG15 respectively, and sets a signal level of a pre-charge control signal Prec in accordance with a level of an input signal of a pre-charge command input pad 15, on the other hand, in a normal operation, a signal level of the pre-charge control signal Prec is set by making a write-recovery test signal TWRTST inactiveness and turning on and off respectively the transfer gates TG15 and TG10 in accordance with combination of a control signal inputted to a logic gate 112.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-167598

(P2001-167598A)

(43) 公開日 平成13年6月22日 (2001.6.22)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

G 1 1 C 29/00

6 7 1

G 1 1 C 29/00

6 7 1 M 5 B 0 2 4

11/407

11/34

3 6 2 S 5 L 1 0 6

11/401

3 7 1 A

審査請求 未請求 請求項の数11 O L (全 16 頁)

(21) 出願番号

特願平11-345074

(22) 出願日

平成11年12月3日 (1999. 12. 3)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 星田 哲司

兵庫県伊丹市荻野1丁目132番地 大王電
機株式会社内

(72) 発明者 池田 勇人

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外4名)

Fターム(参考) 5B024 AA15 BA05 BA07 CA11 CA21

EA01

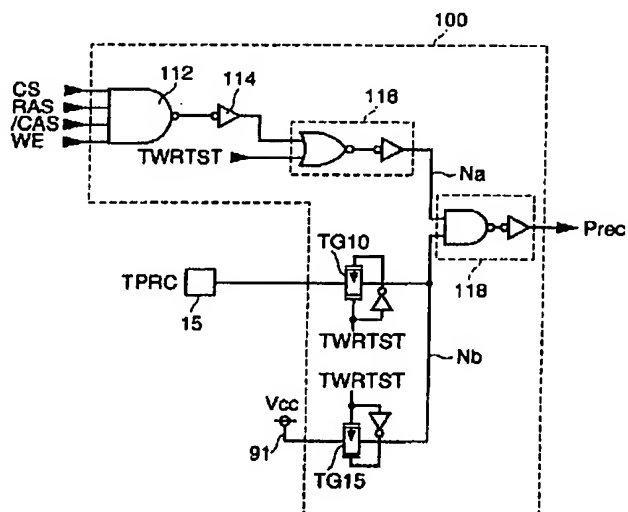
5L106 DD21 EE00 FF01 GG03

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 比較的低速なテストによっても高速動作下におけるライトリカバリタイムの評価が可能な半導体装置の構成を提供する。

【解決手段】 プリチャージ制御回路100は、ライトリカバリテスト信号TWRTSTが活性化される場合においては、トランスファゲートTG10およびTG15をそれぞれオンおよびオフさせて、プリチャージコマンド入力パッド15の入力信号のレベルに応じて、プリチャージ制御信号Precの信号レベルを設定する。一方、通常動作時においては、ライトリカバリテスト信号TWRTSTを非活性化して、トランスファゲートTG15およびTG10をそれぞれオンおよびオフすることによって、論理ゲート112に入力される制御信号の組み合わせに応じて、プリチャージ制御信号Precの信号レベルを設定する。



【特許請求の範囲】

【請求項 1】 入力される複数の制御信号に応じて動作する半導体装置であって、

前記複数の制御信号を入力するための複数のパッド群と、

テストモード時においてプリチャージタイミングを指定するためのテストプリチャージ信号を入力するためのプリチャージ制御パッドと、

行列状に配置される複数のメモリセルを有するメモリセルアレイとを備え、

前記メモリセルアレイは、各々が前記メモリセルの各列に対応して設けられる複数のビット線対を含み、

前記複数の制御信号に応答して、前記半導体装置の動作を制御するための制御回路をさらに備え、

前記制御回路は、前記複数のビット線対のそれぞれをプリチャージするためのプリチャージ制御回路を含み、

前記プリチャージ制御回路は、通常動作時においては、前記複数の制御信号の信号レベルの組合せに応じて前記プリチャージを実行し、前記テストモード時においては、前記テストプリチャージ信号の信号レベルに応じて前記プリチャージを実行する、半導体装置。

【請求項 2】 前記プリチャージ制御パッドは、ウェハテスト時に外部から信号入力が可能である、請求項 1 記載の半導体装置。

【請求項 3】 前記プリチャージ制御パッドは、製品パッケージ外部から信号入力可能な端子と電気的に結合される、請求項 1 記載の半導体装置。

【請求項 4】 前記プリチャージ制御回路は、前記複数の制御信号の信号レベルに応じて論理演算結果を出力する第 1 の論理演算回路と、

前記通常動作時においては、前記第 1 の論理演算回路の出力信号を第 1 のノードに出力し、前記テストモード時においては、前記第 1 のノードの信号レベルを固定する第 2 の論理演算回路と、

前記テストモード時において、前記プリチャージ制御パッドと第 2 のノードとを電気的に結合するための第 1 のトランスファゲートと、

前記通常動作時において、前記第 2 のノードと所定の電圧を供給する電源配線とを電気的に結合するための第 2 のトランスファゲートと、

前記第 1 および前記第 2 のノードの電圧レベルに応じて、前記プリチャージ動作の実行を指示するためのプリチャージ制御信号を出力する第 3 の論理演算回路とを有する、請求項 2 もしくは 3 に記載の半導体装置。

【請求項 5】 前記制御回路は、外部からのコマンド信号の活性化に응答して所定の動作を実行するためのサブ制御回路と、

前記プリチャージ制御パッドと前記サブ制御回路との間に配置される入力切換回路とを含み、

前記入力切換回路は、前記通常動作時においては、前記

プリチャージ制御パッドの電圧レベルを前記サブ制御回路の入力ノードに伝達し、前記テストモード時においては、前記コマンド信号の非活性状態に対応する電圧レベルを前記入力ノードに伝達する、請求項 3 記載の半導体装置。

【請求項 6】 入力される複数の制御信号に応じて動作する半導体装置であって、
行列状に配置される複数のメモリセルを有するメモリセルアレイを備え、

10 前記メモリセルアレイは、各々が前記メモリセルの各列に対応して設けられる複数のビット線対を含み、
前記複数の制御信号に응答して前記半導体装置の動作を制御するための制御回路をさらに備え、

前記制御回路は、
前記メモリセルアレイに対する書込動作を指示するための内部書込制御信号を活性化する書込制御回路と、

前記複数のビット線対のそれぞれに対するプリチャージ動作を指示するためのプリチャージ制御回路とを含み、

20 前記プリチャージ制御回路は、通常動作時においては、前記複数の制御信号の信号レベルの組合せに応じて前記プリチャージ動作の実行を指示し、前記テストモード時においては、前記内部書込制御信号の活性化から所定時間経過後に前記プリチャージ動作の実行を指示する、半導体装置。

【請求項 7】 前記プリチャージ制御回路は、前記複数の制御信号の信号レベルに応じて論理演算結果を出力する第 1 の論理演算回路と、

前記通常動作時においては、前記第 1 の論理演算回路の出力信号を第 1 のノードに出力し、前記テストモード時においては、前記第 1 のノードの電圧レベルを固定する第 2 の論理演算回路と、

前記通常動作時においては、前記内部書込制御信号の信号レベルに応じて論第 2 のノードの電圧レベルを設定し、前記テストモード時においては、前記第 2 のノードの電圧レベルを固定する第 3 の論理演算回路と、

前記第 2 のノードの電圧レベルを前記所定時間遅延させて第 3 のノードに出力する遅延回路と、

前記第 1 および前記第 3 のノードの電圧レベルに応じて、前記プリチャージ動作の実行を指示するためのプリチャージ制御信号を出力する第 4 の論理演算回路とを有する、請求項 6 記載の半導体装置。

【請求項 8】 前記遅延回路は、前記第 2 のノードと前記第 3 のノードとの間に直列に接続される複数の遅延ユニットと、

各々が、前記複数の遅延ユニットとそれぞれ並列に結合される複数の短絡用スイッチとを含み、

前記 M 個の短絡用スイッチは、前記テストモード時において、外部からの入力によってオンオフすることが可能である、請求項 7 記載の半導体装置。

50 【請求項 9】 前記遅延回路は、前記複数の短絡用ス

ッチとそれぞれ直列に接続される複数のヒューズ素子をさらに有し、

前記複数のヒューズ素子の各々は、外部からの入力によって溶断することが可能である、請求項 8 記載の半導体装置。

【請求項 10】 前記プリチャージ制御回路は、

前記複数の制御信号の信号レベルに応じて論理演算結果を出力する第 1 の論理演算回路と、

前記通常動作時においては、前記第 1 の論理演算回路の出力信号を第 1 のノードに出力し、前記テストモード時においては、前記第 1 のノードの電圧レベルを固定する第 2 の論理演算回路と、

前記内部書込制御信号を所定時間遅延させて第 2 のノードに伝達するための遅延回路とを含み、

前記遅延回路は、並列に配置される複数のサブ遅延回路を有し、

前記複数のサブ遅延回路のそれぞれが有する遅延時間は互いに異なり、

前記第 1 および前記第 2 のノードの電圧レベルに応じて、前記プリチャージ動作の実行を指示するためのプリチャージ制御信号を出力する第 3 論理演算回路とを有し、

前記制御回路は、前記テストモード時において、前記複数のサブ遅延回路のうちの 1 個を選択的に活性化する、請求項 6 記載の半導体装置。

【請求項 11】 各前記複数のサブ遅延回路は、

非活性化時において第 3 のノードの電圧レベルを固定するとともに、活性化時において前記第 3 ノードの電圧レベルを前記内部書込制御信号の信号レベルに応じて設定する第 4 の論理演算回路と、

前記第 3 ノードと第 4 ノードとの間に直列に接続される複数の遅延ユニットと、

各前記複数の遅延ユニットに対応して設けられる、直列に接続された短絡用スイッチおよびヒューズ素子の組と、

前記第 4 ノードと前記第 2 ノードとの間に設けられ、前記活性化時にオンするトランスファゲートとを含み、

前記短絡用スイッチおよびヒューズ素子の組は、前記複数の遅延ユニットのうちの対応する 1 つと並列に設けられ、

前記短絡用スイッチは、前記テストモード時において、外部からの入力によってオンオフすることが可能であり、

前記ヒューズは、外部からの入力によって溶断することが可能である、請求項 10 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置に関し、より特定のには、高速動作のテストを効率的に実行することが可能な半導体装置に関する。

【0002】

【従来の技術】近年における半導体装置に対する高速化の要求はますます大きくなっているが、これに伴って、検査工程において動作チェックを実行するために用いられる検査機器、いわゆるメモリテストに要求されるタイミング精度も厳しいものとなってきている。

【0003】特に、クロック同期型の半導体記憶回路においては、外部クロックの周波数が 100MHz 以上

(サイクルタイム 10ns 以下) のタイミング精度を必要とするものも存在するため、従来のメモリテストでは対応しきれない問題も発生し始めている。また、一般に高速に動作できるメモリテスト(以下、高速テストとも称する)は、従来のテスト(以下、低速テストとも称する)に比較して高価であるので、半導体装置の高速化に伴うテストコストの上昇を抑制することも重要な課題の 1 つとなってきている。

【0004】以下においては、一例として、同期型半導体記憶装置(SDRAM)における最小ライトリカバリタイムの評価テストを例にとって従来技術の問題点を説明する。

【0005】ライトリカバリタイム t_{WR} は、ライトコマンドの入力からプリチャージ動作が指示されるまでの期間で定義され、最小ライトリカバリタイム以上の期間を確保して、ライトコマンドおよびプリチャージ動作が指示された場合には、正常な書込動作が実行できることを保証する必要がある。

【0006】したがって、検査工程においては SDRAM 内部でライトコマンドおよびプリチャージ動作を生成するための信号を外部からメモリテストによって入力し、内部でこれらの信号に応じてコマンドを生成して、正常に書込動作が実行できたかどうかを確認する。したがって、高速動作下において最小ライトリカバリタイムを評価するためには、非常に短い期間の間にこれらの動作を連続して発生させることができるようなテスト信号をメモリテストによって与えることが必要となる。

【0007】図 10 は、従来の技術のプリチャージ制御回路 500 の構成を示す回路図である。

【0008】図 10 を参照して、プリチャージ制御回路 500 は、プリチャージ動作を実行するためのプリチャージ制御信号の活性化(Hレベル)および非活性化(Lレベル)をコントロールする。

【0009】通常動作時においては、プリチャージ動作が実行されるか否かは、外部より与えられる制御信号の信号レベルの組合せによって決定される。また、最小ライトリカバリタイムの測定時においては、テスト信号 T_{WRTST} の信号レベルに応じて、プリチャージ制御信号 $Pre c$ を活性化することが可能な構成となっている。

【0010】図 10 を参照して、プリチャージ制御回路 500 は、チップセレクト信号 $/CS$ の反転信号である

制御信号CSと、ロウアドレスストロブ信号/RASの反転信号である制御信号RASと、コラムアドレスストロブ信号/CASと、ライトイネーブル信号/WEの反転信号である制御信号WEとを受けてこれらのNAND論理演算結果を出力する論理ゲート510と、論理ゲート510の出力を反転するインバータ515と、インバータ515の出力とテスト信号TWR TSTとに応じてOR論理演算結果を出力する論理回路520とを備える。

【0011】プリチャージ制御回路500は、さらに、制御信号WEを反転して出力するインバータ525と、テスト信号TWR TSTおよびインバータ525に応じてNAND論理演算結果を出力する論理ゲート530と、論理ゲート520および530の出力に応じて両者のAND論理演算結果を出力する論理回路540とを備える。論理回路540は、プリチャージ制御信号Precを出力する。

【0012】同期型半導体記憶装置においては、外部クロック信号EXT. CLKの活性化エッジにおける各制御信号の信号レベルの組合せに応じて、各コマンドが生成される。

【0013】通常動作時においては、テスト信号TWR TSTは非活性化(Lレベル)されているので、外部クロック信号EXT. CLKの立上がり時において、制御信号/CS=Lレベル(CS=Hレベル)、/RAS=Lレベル(RAS=Hレベル)、/CAS=Hレベルおよび/WE=Lレベル(WE=Hレベル)のときに、プリチャージ信号Precが活性化(Hレベル)される。

【0014】図11は、プリチャージ制御回路500による通常動作モード時におけるライトリカバリタイムの測定方法を説明するタイミングチャートである。

【0015】図11を参照して、まず、ライトコマンドの生成に先立って、時刻t0においてアクティベートコマンドが生成され、ワード線WLが活性化される。

【0016】アクティベートコマンドの生成後、時刻t1の外部クロック信号の活性化エッジにおいてライトコマンドが生成され(/CS=Lレベル、/RAS=Hレベル、および/CAS、/WE=Lレベル)、これに応じて、時刻t2においてSDRAM内部において内部書込制御信号int. WRTが活性化(Hレベル)される。

【0017】時刻t3における次の外部クロック信号の活性化エッジにおいて、プリチャージコマンドが生成され(/CS、/RAS=Lレベル、/CAS=Hレベル、および/WE=Lレベル)、これに回答してプリチャージ制御信号Precが活性化され、時刻t4においてワード線WLが非活性化される。このとき、実際にSDRAM内部でデータ書込が可能な期間は、時刻t2から時刻t4の間である。

【0018】一方、スペック上保証すべきライトリカバ

リタイムは、ライトコマンド生成とプリチャージコマンド生成との間の期間tWRで定義される。したがって、検査時においては、メモリテストによってライトリカバリタイムtWRを変化させて、実際に書込動作が正常に実行されているかどうかをチェックする必要がある。

【0019】通常動作モードすなわち、テスト信号TWR TSTが非活性状態(Lレベル)である場合においては、プリチャージ制御信号Precのコントロールは、外部クロック信号EXT. CLKのの活性化タイミングにおける各制御信号の信号レベルの組合せによってしか実行できないため、実行可能な最高速のテストは、メモリテストの動作周波数に依存することになる。したがって、この状態でタイミング制御の厳しいテストを実行しようとするれば、高速なメモリテストが必要となり、メモリコストが上昇してしまう。

【0020】一方、最小ライトリカバリタイム測定のためのテストモード(以下単にテストモードとも称する)時、すなわちテスト信号TWR TSTが活性化(Hレベル)された場合においては、図10の回路において論理回路520の出力は常にHレベルに設定されるので、プリチャージ制御信号Precは、制御信号WEの信号レベルによって設定することが可能となる。

【0021】図12は、従来の技術のプリチャージ制御回路によるテストモード時におけるライトリカバリタイムの評価方法を説明するタイミングチャートである。

【0022】図12を参照して、時刻t0において、図11の場合と同様にアクティベートコマンドが指示され、これに応じてワード線WLが活性化される。

【0023】時刻t1において、外部クロック信号EXT. CLKの立上がりエッジにおいて、ライトコマンドを生成するように各制御信号の信号レベルが設定される。ここで、ライトイネーブル信号/WEの信号レベルは、時刻t1より、予め規定されるセットアップ時間tIS以前から、予め規定されるホールド時間tIH経過後(時刻t3)までの間Lレベルに設定される。これに応じて、時刻t2においてSDRAM内部において内部書込制御信号int. WRTが活性化(Hレベル)される。

【0024】このライトコマンドの生成に併せて、テスト信号TWR TSTを活性化することによって(図示せず)、次に時刻t3におけるライトイネーブル信号/WEのHレベルへの変化に応じて、プリチャージ制御回路500は、プリチャージ制御信号Precを活性化(Hレベル)する。これに回答して、時刻t4においてワード線WLが非活性化される。このとき、実際にSDRAM内部でデータ書込が可能な期間は、時刻t2から時刻t4の間である。

【0025】したがって、この場合においては、ライトコマンドを指示した後、ライトイネーブル信号/WEの信号レベルのHレベルへの変化に応じて自動的にプリチ

ャージ動作を実行することができるため、外部クロック信号 E X T . C L K の周期より短いタイミングで、ライトコマンドに続いてプリチャージ動作を実行することができる。この結果、メモリテストの最大動作周波数に対応する周期よりも厳しいタイミング精度で最小ライトリカバリタイムのテストを実行することができる。

【0026】

【発明が解決しようとする課題】しかしながら、このようなテストモードでは、ライトリカバリタイム t_{WR} を予め規定されたライトイネーブル信号 / W E のホールド時間 t_{IH} 以下に設定することができない。したがって、このホールド時間よりも厳しいタイミングでライトリカバリタイムの評価が必要な場合には、対応することができない。

【0027】さらに、図 12 に説明したテストモードは、テストインジェクション装置（以下、単に T B I 装置とも称す）に代表される、同時並列に多数の測定を実行するためのメモリテストには適用することが困難である。

【0028】図 13 は、T B I 装置においてテストモードによってライトリカバリタイムを測定する場合の問題点を説明するタイミングチャートである。

【0029】図 13 を参照して、T B I 装置によって出力されるテスト用のドライブ信号は、立上がり / 立下がり時間（以下、 t_r / t_f 時間とも称する）が大きいことが特徴である。これは、T B I 装置に代表される、同時に多数並列のテストを実行する装置においては、供給能力の大きい電源やドライバピンが必要となるため、発生する信号へのオーバーシュートあるいはアンダーシュートの発生を抑制するために、 t_r / t_f を大きく取る必要が生ずるためである。

【0030】図 13 においては、各制御信号の信号レベルが変化するタイミングは、図 12 の場合と同様である。

【0031】すなわち、まず時刻 t_0 においてアクティベートコマンドが生成されワード線 W L が活性化される。次に、時刻 t_1 においてライトコマンドが生成され、これにตอบสนองして時刻 t_2 に内部書込制御信号 $i n t . W R T$ が活性化される。

【0032】時刻 t_3 において、T B I 装置は、ライトイネーブル信号 / W E を H レベルに変化させようとするが、立上がり時間が大きいため、これにตอบสนองしてプリチャージ制御信号 $P r e c$ が活性化されるのは、時刻 t_3 から Δt_b 経過後の時刻 t_4 となる。

【0033】プリチャージ制御信号 $P r e c$ の活性化にตอบสนองして、ワード線 W L は時刻 t_5 において非活性化されるため、このタイミングで実質的な書込可能期間も終了する。このように T B I 装置においては、ライトイネーブル信号 / W E の復帰タイミングでプリチャージ制御信号を活性化する構成としても、 t_r / t_f 時間が大き

いことの影響を受けて、実際に S D R A M 内で書込可能な時間は、時刻 t_2 から時刻 t_5 の間となり、比較的長く取れてしまう。

【0034】したがって、T B I 装置等においては、このようなテストモードによってライトリカバリタイムを精密に評価することは困難となる。

【0035】この発明は、このような問題点を解決するためになされたものであって、その目的は、比較的低下したテストによってもタイミング精度の厳しい検査を実行することが可能な半導体装置の構成を提供することである。

【0036】

【課題を解決するための手段】請求項 1 記載の半導体装置は、入力される複数の制御信号に応じて動作する半導体装置であって、複数の制御信号を入力するための複数のパッド群と、テストモード時においてプリチャージタイミングを指定するためのテストプリチャージ信号を入力するためのプリチャージ制御パッドと、行列状に配置される複数のメモリセルを有するメモリセルアレイとを備え、メモリセルアレイは、各々がメモリセルの各列に対応して設けられる複数のビット線対を含み、複数の制御信号にตอบสนองして、半導体装置の動作を制御するための制御回路をさらに備え、制御回路は、複数のビット線対のそれぞれをプリチャージするためのプリチャージ制御回路を含み、プリチャージ制御回路は、通常動作時においては、複数の制御信号の信号レベルの組合せに応じてプリチャージを実行し、テストモード時においては、テストプリチャージ信号の信号レベルに応じてプリチャージを実行する。

【0037】請求項 2 記載の半導体装置は、請求項 1 記載の半導体装置であって、プリチャージ制御パッドは、ウェハテスト時に外部から信号入力が可能である。

【0038】請求項 3 記載の半導体装置は、請求項 1 記載の半導体装置であって、プリチャージ制御パッドは、製品パッケージ外部から信号入力可能な端子と電気的に結合される。

【0039】請求項 4 記載の半導体装置は、請求項 2 もしくは 3 に記載の半導体装置であって、プリチャージ制御回路は、複数の制御信号の信号レベルに応じて論理演算結果を出力する第 1 の論理演算回路と、通常動作時においては、第 1 の論理演算回路の出力信号を第 1 のノードに出力し、テストモード時においては、第 1 のノードの信号レベルを固定する第 2 の論理演算回路と、テストモード時において、プリチャージ制御パッドと第 2 のノードとを電気的に結合するための第 1 のトランスファゲートと、通常動作時において、第 2 のノードと所定の電圧を供給する電源配線とを電気的に結合するための第 2 のトランスファゲートと、第 1 および第 2 のノードの電圧レベルに応じて、プリチャージ動作の実行を指示するためのプリチャージ制御信号を出力する第 3 の論理演算

回路とを有する。

【0040】請求項5記載の半導体装置は、請求項3記載の半導体装置であって、制御回路は、外部からのコマンド信号の活性化にตอบสนองして所定の動作を実行するためのサブ制御回路と、プリチャージ制御パッドとサブ制御回路との間に配置される入力切換回路とを含み、入力切換回路は、通常動作時には、プリチャージ制御パッドの電圧レベルをサブ制御回路の入力ノードに伝達し、テストモード時には、コマンド信号の非活性状態に対応する電圧レベルを入力ノードに伝達する。

【0041】請求項6記載の半導体装置は、入力される複数の制御信号に応じて動作する半導体装置であって、行列状に配置される複数のメモリセルを有するメモリセルアレイを備え、メモリセルアレイは、各々がメモリセルの各列に対応して設けられる複数のビット線対を含み、複数の制御信号にตอบสนองして半導体装置の動作を制御するための制御回路をさらに備え、制御回路は、メモリセルアレイに対する書込動作を指示するための内部書込制御信号を活性化する書込制御回路と、複数のビット線対のそれぞれに対するプリチャージ動作を指示するためのプリチャージ制御回路とを含み、プリチャージ制御回路は、通常動作時には、複数の制御信号の信号レベルの組合せに応じてプリチャージ動作の実行を指示し、テストモード時には、内部書込制御信号の活性化から所定時間経過後にプリチャージ動作の実行を指示する。

【0042】請求項7記載の半導体装置は、請求項6記載の半導体装置であって、プリチャージ制御回路は、複数の制御信号の信号レベルに応じて論理演算結果を出力する第1の論理演算回路と、通常動作時には、第1の論理演算回路の出力信号を第1のノードに出力し、テストモード時には、第1のノードの電圧レベルを固定する第2の論理演算回路と、通常動作時には、内部書込制御信号の信号レベルに応じて第2のノードの電圧レベルを設定し、テストモード時には、第2のノードの電圧レベルを固定する第3の論理演算回路と、第2のノードの電圧レベルを所定時間遅延させて第3のノードに出力する遅延回路と、第1および第3のノードの電圧レベルに応じて、プリチャージ動作の実行を指示するためのプリチャージ制御信号を出力する第4の論理演算回路とを有する。

【0043】請求項8記載の半導体装置は、請求項7記載の半導体装置であって、遅延回路は、第2のノードと第3のノードとの間に直列に接続される複数の遅延ユニットと、各々が、複数の遅延ユニットとそれぞれ並列に結合される複数の短絡用スイッチとを含み、M個の短絡用スイッチは、テストモード時には、外部からの入力によってオンオフすることが可能である。

【0044】請求項9記載の半導体装置は、請求項8記載の半導体装置であって、遅延回路は、複数の短絡用ス

イッチとそれぞれ直列に接続される複数のヒューズ素子をさらに有し、複数のヒューズ素子の各々は、外部からの入力によって溶断することが可能である。

【0045】請求項10記載の半導体装置は、請求項6記載の半導体装置であって、プリチャージ制御回路は、複数の制御信号の信号レベルに応じて論理演算結果を出力する第1の論理演算回路と、通常動作時には、第1の論理演算回路の出力信号を第1のノードに出力し、テストモード時には、第1のノードの電圧レベルを固定する第2の論理演算回路と、内部書込制御信号を所定時間遅延させて第2のノードに伝達するための遅延回路とを含み、遅延回路は、並列に配置される複数のサブ遅延回路を有し、複数のサブ遅延回路のそれぞれが有する遅延時間は互いに異なり、第1および第2のノードの電圧レベルに応じて、プリチャージ動作の実行を指示するためのプリチャージ制御信号を出力する第3論理演算回路とを有し、制御回路は、テストモード時に、複数のサブ遅延回路のうちの1個を選択的に活性化し、

【0046】請求項11記載の半導体装置は、請求項10記載の半導体装置であって、各複数のサブ遅延回路は、非活性化時には第3のノードの電圧レベルを固定するとともに、活性化時には第3ノードの電圧レベルを内部書込制御信号の信号レベルに応じて設定する第4の論理演算回路と、第3ノードと第4ノードとの間に直列に接続される複数の遅延ユニットと、各複数の遅延ユニットに対応して設けられる、直列に接続された短絡用スイッチおよびヒューズ素子の組と、第4ノードと第2ノードとの間に設けられ、活性化時にオンするトランスファゲートとを含み、短絡用スイッチおよびヒューズ素子の組は、複数の遅延ユニットのうちの対応する1つと並列に設けられ、短絡用スイッチは、テストモード時には、外部からの入力によってオンオフすることが可能であり、ヒューズは、外部からの入力によって溶断することが可能である。

【0047】

【発明の実施の形態】以下において、本発明の実施の形態について図面を参照して詳しく説明する。なお、図中における同一符号は同一または相当部分を示すものとする。

【0048】〔実施の形態1〕図1は、本発明の実施の形態1に従う同期型半導体記憶装置1の全体構成を示す概略ブロック図である。図1においては、半導体装置の代表例として、外部クロック信号にตอบสนองして動作する同期型半導体記憶装置（SDRAM）について説明する。

【0049】なお、以下の説明で明らかになるように、本発明の適用は、同期型半導体記憶装置に限られるものではなく、外部からの制御信号にตอบสนองして動作する半導体装置に同様に適用することが可能である。

【0050】図1を参照して、同期型半導体記憶装置1

は、ウェハ内に形成された各チップの外周部に設置されたパッド群を備える。これらのパッド群には、ウェハテスト時にメモリスタから任意の信号波形を与えることが可能である。

【0051】パッド群は、外部クロック信号EXT、CLK、チップセレクト信号/CS、ロウアドレスストロブ信号RAS、コラムアドレスストロブ信号/CASおよびライトイネーブル信号/WE等の制御信号を受ける制御信号入力パッド群10と、テストプリチャージ信号TPRCを受けるプリチャージコマンド入力パッド15と、アドレス信号ADDの各ビットA1~Ai

(i:自然数)の各ビットを受けるアドレス入力パッド群12と、書込データの入力を受けるデータ入力パッド16と、読出データを出力するデータ出力パッド18と、電源電圧を入力するための電源パッド19とを含む。

【0052】半導体記憶装置1は、さらに、行列状に配置された複数のメモリセルを有するメモリセルアレイ50を備える。メモリセルの各行に対応してワード線が設けられ、メモリセルの各列に対応してビット線対が設けられる。図1には、代表的に1個のメモリセルMCに対応して設けられるワード線WLおよびビット線対の一方BLの配置を示している。

【0053】半導体記憶装置1は、さらに、それぞれのビット線対に生じた電圧差を検知・増幅して出力するセンスアンプ回路60と、プリチャージ制御信号Precに制御されて各ビット線対を所定の電圧レベルに設定するプリチャージ回路65とを備える。

【0054】半導体記憶装置1は、さらに、アドレス信号の各ビットA1~Aiを受けるアドレスバッファ30と、アドレスバッファ30の出力する各アドレスビットに回答して、メモリセルの行を選択するための行デコーダ32および、メモリセルの列を選択するための列デコーダ34とを備える。行デコーダ32は、各アドレスビットに回答してワード線を選択的に活性化する。列デコーダ34によって選択された列に対応するビット線対は、センスアンプ回路60と接続される。

【0055】半導体記憶装置1は、さらに、制御信号入力パッド群10から入力されるクロック信号および制御信号とプリチャージコマンド入力パッド15から入力されるテストプリチャージ信号TPRCとを受けて制御回路40に伝達するコントロールバッファ20と、これらのクロック信号および制御信号等とを受けて、半導体記憶装置1全体の動作を制御するための制御回路40とを備える。

【0056】制御回路40は、制御信号の信号レベルの組合せに応じて、ライトコマンドが指示された場合に内部書込制御信号int.WRTを活性化する書込制御回路42と、プリチャージ動作の実行を制御するプリチャージ制御回路100とを含む。プリチャージ制御回路1

00は、プリチャージ回路65に活性化を指示するためのプリチャージ制御信号Precを生成する。プリチャージ制御信号Precは、プリチャージ動作時において活性化(Hレベル)される。

【0057】半導体記憶装置1は、さらに、モードレジスタ70を備える。モードレジスタ70は、入力された制御信号の組合せに応答して制御回路100によってテストモード信号Tstが活性化されてテストモードに移行した場合には、アドレスビットA1~Aiの信号レベルの組合せに応答して、ライトリカバリタイムテスト信号TWR TSTを活性化する。

【0058】ライトリカバリタイムテスト信号TWR TSTは、テストモード時において、ライトリカバリタイムの評価をする場合に活性化(Hレベル)される。なお、図1においては、モードレジスタ70の機能のうち、テストモード時におけるライトリカバリタイムの評価に必要な信号の出力のみを代表的に記載している。

【0059】半導体記憶装置1は、さらに、データ入出力回路80を備える。データ入出力回路80は、データ入力パッド16に輸入された書込データをI/O線75を介してメモリセルアレイ50に伝達し、アドレス信号に応答して選択されたメモリセルに書込む。また、アドレス信号に応答して選択されたメモリセルから読出され、センスアンプ回路60で増幅されたデータを、I/O線75を介して受けて、データ出力パッド18から出力する。

【0060】電圧発生回路(Voltage Down Converter: VDC)90は、電源入力パッド19に輸入された電圧を受けて、内部電源電圧Vccと接地電圧Vssとを出力する。内部電源電圧Vccは、電源配線91によって各部に供給され、接地電圧Vssは接地配線92によって各部に供給される。

【0061】図2は、プリチャージ制御回路100の構成を示す回路図である。図2を参照して、プリチャージ制御回路100は、チップセレクト信号/CS、ロウアドレスストロブ信号/RASおよびライトイネーブル信号/WEのそれぞれの反転信号である制御信号CS、RASおよびWEとコラムアドレスストロブ信号/CASとを受けて、これらの制御信号の信号レベルに応じてNAND論理演算結果を出力する論理ゲート112と、論理ゲート112の出力を反転するインバータ114とを含む。

【0062】プリチャージ制御回路100は、さらに、インバータ114の出力およびライトリカバリタイムテスト信号TWR TSTに応じてOR論理演算結果を内部ノードNaに出力する論理回路116と、プリチャージコマンド入力パッド15と内部ノードNbとの間に接続されるトランスファークゲートTG10と、電源配線91と内部ノードNbとの間に接続されるトランスファークゲートTG15と、内部ノードNaおよびNbの電圧レベ

ルに応じてAND論理演算結果をプリチャージ制御信号Precとして出力する論理回路118とを含む。トランスファークロックTG10およびTG15は、ライトリカバリタイムテスト信号TWR TSTに忠答してオン／オフする。なお、図2においては、表記を簡略化するため、プリチャージコマンド入力パッド15の後段に配置されるコントロールバッファ20の表記を省略している。

【0063】通常動作時においては、ライトリカバリタイムテスト信号TWR TSTは、非活性状態（Lレベル）であるので、内部ノードNaの電圧レベルは、論理ゲート112の入力である各制御信号の組合せに忠答して定められる。一方、ノードNbの電圧レベルは、トランスファークロックTG15がオンしTG10がオフすることによって、内部電源電圧Vccに固定される。

【0064】したがって、通常動作時においては、プリチャージ制御信号Precの信号レベルは内部ノードNaの電圧レベルと等しくなり、プリチャージ動作は、論理ゲート112の入力である各制御信号の信号レベルの組合せに忠答して実行される。

【0065】一方、テストモード時においてライトリカバリタイムの評価を実行する場合には、ライトリカバリタイムテスト信号TWR TSTが活性化（Hレベル）されるため、論理回路116の出力、すなわち内部ノードNaの電圧レベルがHレベルに固定されるとともに、トランスファークロックTG10がオンされ、トランスファークロックTG15がオフされる。したがって、内部ノードNbの信号レベルは、プリチャージコマンド入力パッド15に入力されるテストプリチャージ信号TPRCの信号レベルと等しくなる。

【0066】したがって、テストモード時においてライトリカバリタイムの評価を実行するときには、メモリテスト等によって外部から任意のタイミングでプリチャージ動作を実行することが可能となる。

【0067】図3は、実施の形態1に従うプリチャージ制御回路によるライトリカバリタイムの評価方法を説明するタイミングチャートである。図3の場合においては、図示していないが、テストモードが選択され、ライトリカバリタイムテストモード信号TWR TSTは活性化（Hレベル）されているものとする。

【0068】まず、時刻t0において、アクティベートコマンドが実行され、ワード線WLが活性化される。次に、時刻t1の外部クロック信号EXT. CLKの立ち上がりエッジに忠答してライトコマンドが生成される。これに応じて、時刻t2において書込制御回路42によって内部書込制御信号int. WR Tが活性化される。

【0069】時刻t3において、メモリテスト等によって外部から与えられるテストプリチャージ信号TPRCが活性化（Hレベル）されると、これに応じてプリチャージ動作が起動され、プリチャージ制御信号Precが

活性化（Hレベル）される。これに応じて、時刻t4においてワード線WLは非活性化される。

【0070】したがって、半導体記憶装置1内部で実際にデータ書込可能な期間は時刻t2～時刻t4の間であり、これに対応するライトリカバリタイムtWRとして時刻t1～時刻t3間の時間を評価することが可能である。

【0071】このように、テストプリチャージ信号TPRCの活性化タイミングは、メモリテスト等によって外部から任意に設定することができるので、メモリテストの動作周波数等によらずタイミング精度の厳しいライトリカバリタイムの評価を実行することが可能である。この結果、低速テストを用いても、動作周波数の高い半導体装置のライトリカバリタイムの評価をすることが可能となり、書込マージンの小さいメモリセルの計算による歩留り向上を、テストコストを抑制した上で実行できる。

【0072】また、図2でも説明したように、ライトリカバリタイムテスト信号TWR TSTの非活性化（Lレベル）時においては、通常動作の特性に全く影響を及ぼすことなく、外部から入力される各制御信号の信号レベルのみに忠答してプリチャージ動作を実行することが可能である。

【0073】〔実施の形態2〕実施の形態2に従う半導体装置は、実施の形態1と同様のテストを製品パッケージに封止された状態で行なわれる製品最終検査工程においても実行できるようにすることを目的とする。

【0074】図4は、実施の形態2に従う半導体記憶装置の構成を示す概略ブロック図である。

【0075】図4を参照して、図1で説明した半導体記憶装置1は、製品パッケージに封止されて、チップCH内に組込まれている。チップCHの外周部には、外部との間で信号の授受が可能な複数の外部端子（ピン）が設けられている。

【0076】実施の形態2に従う半導体記憶装置においては、プリチャージコマンド入力パッド15を、製品チップ外部から信号入力が可能な外部端子115とワイヤボンディングすることによって、外部端子115を介して外部からテストプリチャージ信号TPRCを入力できることを特徴とする。

【0077】これにより、チップに格納され最終製品となった段階においても、外部からメモリテストによって、任意のタイミングでプリチャージコマンドを起動することができ、実施の形態1と同様に、低速のメモリテストによっても、タイミング精度の厳しいライトリカバリタイムの評価を実行することが可能となる。

【0078】半導体記憶装置1の構成および動作については、図1に示すとおりであるので説明は繰り返さない。

【0079】図4においては、テストプリチャージ信号

TPRCを入力する外部端子115を、他の制御信号を入力する外部端子群と独立に設ける構成を示しているが、外部端子115を他の制御信号と共用することも可能である。

【0080】図5は、テストプリチャージ信号入力端子を他の制御信号入力端子と共用するための構成について説明する回路図である。

【0081】図5を参照して、プリチャージコマンド入力パッド15は、ワイヤボンディング等によって、チップ外部から信号入力可能な外部端子115と接続される。プリチャージ制御回路100は、既に説明したのと同様に、ライトリカバリタイムの評価時においては、プリチャージコマンド入力パッド15の電圧レベルにตอบสนองしてプリチャージ制御信号Precを活性化する。プリチャージ制御回路100の構成および動作については、図2で説明したのと同様であるので説明は繰返さない。また、図2の場合と同様に、コントロールバッファ20の表記は省略されている。

【0082】図5の構成においては、外部端子115が他の制御信号、たとえば入出力データのマスクを指示するための制御信号DQMと共用される場合について考える。データマスク制御信号DQMは、データマスク制御回路45に入力され、データマスク制御回路45は、その入力ノードに伝達された制御信号DQMの信号レベルにตอบสนองして、データマスク動作の実行／非実行を決定する。

【0083】ここでは、一例として、データマスク制御回路45は、制御信号DQMがHレベルである場合にデータマスク動作を実行し、制御信号DQMがLレベルである場合にデータマスク動作を非実行とするものとする。

【0084】図5を参照して、プリチャージコマンド入力パッド15とデータマスク制御回路45との間に、信号切換回路41が設けられる。信号切換回路41は、プリチャージコマンド入力パッド15とデータマスク制御回路45の入力ノードとの間に設けられるトランスファークゲートTG20と、データマスク制御回路45の入力ノードと接地配線92との間に設けられるトランスファークゲートTG25とを含む。

【0085】トランスファークゲートTG20およびTG25は、ライトリカバリタイムテスト信号TWRTSTにตอบสนองしてオン／オフする。具体的には、トランスファークゲートTG20は、プリチャージ制御回路100内のトランスファークゲートTG15と同一のタイミングでオン／オフし、反対に、トランスファークゲートTG25は、プリチャージ制御回路100内のトランスファークゲートTG10と同一のタイミングでオン／オフする。

【0086】したがって、ライトリカバリタイムの評価時においては、トランスファークゲートTG10およびTG25がオンし、トランスファークゲートTG15および

TG20がオフされる。この結果、プリチャージ制御回路100の内部ノードNbには、外部端子115に入力される信号のレベルが伝達され、データマスク制御回路45の入力ノードのレベルは接地電圧Vssに固定される。

【0087】一方、通常動作時においては、トランスファークゲートTG15およびTG20がオンし、トランスファークゲートTG10およびTG25がオフする。この結果、内部ノードNbの電圧レベルは内部電源電圧Vccに固定され、プリチャージ制御信号Precは、論理ゲート112に入力される各制御信号の信号レベルの組合せにตอบสนองして制御される。一方、データマスク制御回路45の入力ノードは、外部端子115と接続され、データマスク制御回路45は、外部端子115に入力される制御信号DQMにตอบสนองして動作すること可能となる。

【0088】このような構成とすることにより、チップ上に搭載された最終製品の形態においても、外部からテストプリチャージ信号を入力する構成とすることができるとともに、テストプリチャージ信号を入力する外部端子を、他の制御信号を入力する外部端子と共用することが可能となる。

【0089】なお、実施の形態2において、他の制御信号として入出力データのマスクを指示するための制御信号DQMを説明したのは例示に過ぎず、同様の構成を適用することによって、他の任意の制御信号とテストプリチャージ信号との間で入力用の外部端子を共用することが可能である。

【0090】〔実施の形態3〕実施の形態3においては、ドライバ信号の立上がり／立下がり時間が大きいメモリスタを用いても、厳しいタイミング精度でライトリカバリタイムを評価することが可能な構成について説明する。

【0091】実施の形態3に従う半導体記憶装置は、実施の形態1に従う半導体記憶装置と比較して、プリチャージ制御回路の構成が異なる点と、テストプリチャージ信号TPRCを受けるプリチャージコマンド入力パッド15が不要である点とが異なる。その他の構成については、実施の形態1の場合と同様であるので説明は繰返さない。

【0092】図6は、実施の形態3に従うプリチャージ制御回路150の構成を示す回路図である。

【0093】図6を参照して、プリチャージ制御回路150は、図2に示すプリチャージ回路100と比較して、内部ノードNbに接続される回路が異なる。

【0094】具体的には、プリチャージ制御回路150は、内部書込制御信号int.WRTを反転するインバータ152と、インバータ152の出力とライトリカバリタイムテスト信号TWRTSTとにตอบสนองしてNAND演算結果を出力する論理ゲート154と、論理ゲート154の出力を遅延して内部ノードNbに出力するための遅

延回路 200 とを含む。

【0095】プリチャージ制御回路 150 において、内部ノード Na の電圧レベルは、プリチャージ制御回路 100 の場合と同様に設定される。

【0096】遅延回路 200 は、論理ゲート 154 と内部ノード Na との間に直列に接続された j 個 (j : 自然数) の遅延素子 D1 ~ Dj と、各遅延素子と並列に接続されるスイッチおよびヒューズの組とを含む。たとえば、遅延素子 D1 と並列に、スイッチ SW1 およびヒューズ H1 が接続される。以下同様に、各遅延素子に対応して、スイッチおよびヒューズの組が並列に接続される。

【0097】スイッチ SW1 ~ SWj は、独立の制御信号 TM1 ~ TMj およびそれらの反転信号 /TM1 ~ /TMj によって制御される。対応して設けられるスイッチおよびヒューズの両方が導通状態である場合には、遅延素子はバイパスされ、遅延時間は付加されない。一方、スイッチおよびヒューズの少なくとも一方が遮断された場合には、対応する遅延素子を信号が通過し、所定の単位遅延時間が付与される。

【0098】ヒューズ H1 ~ Hd は、外部からの外部からの電気的入力によって溶断することが可能であり、制御信号 TM1 ~ TMj は、テストモード時において、アドレスビット A1 ~ Aj の信号レベルの組合せに応じて、モードレジスタによって生成することが可能である。

【0099】したがって、制御信号 TM1 ~ TMj の各信号レベルのコントロールおよびヒューズカットの有無によって遅延回路 200 で付加される遅延時間を調整することが可能となる。

【0100】このような構成とすることにより、内部ノード Nb の信号レベルは、ライトリカバリタイムテスト信号 TWR TST が非活性状態 (L レベル) である場合には、常に H レベルに設定され、プリチャージ制御信号 Prec は、論理ゲート 112 に入力される制御信号にตอบสนองして活性化される。

【0101】一方、ライトリカバリタイムテスト信号 TWR TST が活性状態 (H レベル) であるライトリカバリタイムの評価時における内部ノード Nb の電圧レベルは、内部書込制御信号 int. WRT の信号レベルに応じて設定され、具体的には、int. WRT の活性化から遅延回路 200 によって与えられる遅延時間の経過後 H レベルに立上がる。

【0102】ライトリカバリタイムの評価時においては、ノード Nb の信号レベルにตอบสนองして、プリチャージ制御信号 Prec が活性化されるので、プリチャージ制御回路 150 は、内部書込制御信号 int. WRT の活性化を起点に、遅延回路 200 によって調整可能な遅延時間を付与した後にプリチャージ動作を起動することが可能となる。

【0103】図 7 は、プリチャージ制御回路 150 によるドライバ信号の立上がり／立下がり時間が大きいメモリテストを用いたライトリカバリタイムの測定を説明するタイミングチャートである。

【0104】図 7 を参照して、時刻 t0 において、アクティベートコマンドが生成されワード線 WL が活性化される。次に、時刻 t1 の外部クロック信号 EXT. CLK の立上がりエッジにおいてライトコマンドが生成され、これに対応して時刻 t2 において内部書込制御信号 int. WRT が活性化される。

【0105】プリチャージ制御回路 150 においては、プリチャージ制御信号 Prec は、内部書込制御信号 int. WRT の活性化にตอบสนองして、遅延回路 200 で付与される遅延時間 td 経過後の時刻 t3 において活性化される。

【0106】さらに、時刻 t4 においてワード線 WL が非活性化され、データ書込可能期間が終了する。これにより、遅延回路 200 によって与えられる遅延時間 td を調整することによって、任意のタイミングでプリチャージ制御信号 Prec を活性化、すなわちプリチャージコマンドを起動することが可能になる。

【0107】この結果、ドライバ信号の立上がり／立下がり時間が大きいメモリテストを用いても、厳しいタイミング精度でライトリカバリタイムを評価することが可能となる。

【0108】なお、図 7 においては、従来の技術で説明した、ライトリカバリ信号 /WE にตอบสนองしてプリチャージ制御信号 Prec を活性化する場合について、比較のため点線で示している。この場合においては、メモリテストのドライバ信号の一つであるライトリカバリ信号 /WE の tr /tf 時間が大きいので、この影響を受けて、実際にデータ書込可能な期間が長期化 (時刻 t2 ~ t6) しており、厳しいタイミング精度でのライトリカバリタイムの評価が困難となっていることが再認識される。

【0109】〔実施の形態 4〕実施の形態 4 においては、実施の形態 3 で説明した遅延回路で付与される遅延時間を効率的に調整することが可能な構成について説明する。

【0110】図 8 は、本発明の実施の形態 4 に従うプリチャージ制御回路 160 の構成を示す回路図である。

【0111】図 8 を参照して、プリチャージ制御回路 160 は、プリチャージ制御回路 150 と比較して、内部ノード Nb の電圧レベルを設定するための回路として、論理ゲート 154 および遅延回路 200 に代えて、遅延回路 210 を含む点が異なる。その他の構成および動作については、プリチャージ制御回路 150 と同様であるので説明は繰返さない。

【0112】図 9 は、遅延回路 210 の構成を説明するための回路図である。図 9 を参照して、遅延回路 210

は、インバータ 152 と内部ノード Nb との間に並列に接続されるサブ遅延回路 212 および 214 を有する。サブ遅延回路 212 および 214 は、互いに異なる遅延時間を設定することが可能な信号遅延部 220 および 230 をそれぞれ有する。

【0113】サブ遅延回路 212 は、さらに、内部ノード Nc と信号遅延部 220 との間に論理ゲート 225 を有し、信号遅延部 220 と内部ノード Nb との間にトランスファゲート TG40 を有する。同様に、サブ遅延回路 214 は、さらに、内部ノード Nc と信号遅延部 230 との間に論理ゲート 235 を有し、信号遅延部 230 と内部ノード Nb との間にトランスファゲート TG45 を有する。

【0114】論理ゲート 225 は、インバータ 152 の出力と制御信号 TM_RT とに応じて NAND 論理演算結果を信号遅延部 220 に与える。論理ゲート 235 は、同様に、インバータ 152 の出力と制御信号 TM_HT とに応じて NAND 演算結果を信号遅延部 230 に与える。トランスファゲート TG40 および TG45 は、制御信号 TM_RT および TM_HT にそれぞれ応答してオン/オフする。

【0115】信号遅延部 220 は、直列に接続された m 個 (m: 自然数) の遅延素子 D11 ~ D1m と、各遅延素子とそれぞれ並列に接続されるスイッチとヒューズとの組 SW11, H11 ~ SW1m, H1m とを有する。同様に、遅延制御部 230 は、直列に接続された n 個 (n: 自然数) の遅延素子 D21 ~ D2n と、各遅延素子とそれぞれ並列に接続されるスイッチとヒューズとの組 SW21, H21 ~ SW2n, H2n とを有する。

【0116】制御信号 TM_RT および制御 TM_HT は、制御信号 TM11 ~ TM1m および TM21 ~ TM2m と同様にモードレジスタによって出力される。

【0117】TM_RT と TM_HT は、いずれか一方が相補的にオンされる。このような構成とすることによって、たとえば、異なる温度領域に対応してそれぞれのサブ遅延回路によって与えられる遅延時間を実際のテスト条件に合った近いタイミングにチューニングしておき、条件に応じて遅延時間を大幅に切換えて使い分けることが可能となる。

【0118】この結果、単純に遅延素子を直列に多数設ける構成とするよりも、レイアウト的に有利に広範囲の遅延時間の調整を行なうことが可能となる。また、ヒューズとスイッチとを組にして、各遅延素子と並列に設ける構成としていることから、トランジスタパラメータのばらつき等によって、最終的な微調整が必要となきにおいても、ヒューズカットで対応できるため、調整を容易に行なうことが可能となる。

【0119】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求

の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0120】

【発明の効果】請求項 1 記載の半導体装置は、通常動作に影響を与えることなくテストモード時において、パッドからの入力によってプリチャージ動作の実行タイミングを制御することができる。この結果、ライトリカバリタイムに代表される、高速動作に対する製品規格の最小スペックを、低速デスタによっても評価することが可能となり、評価コストを低減することができる。

【0121】請求項 2 および 4 記載の半導体装置は、ウェハテスト時においてパッド入力によってプリチャージ動作の実行タイミングを制御することができる。したがって、請求項 1 記載の半導体装置の奏する効果をウェハテスト時に享受することができる。

【0122】請求項 3 および 4 記載の半導体装置は、製品チップ外部からの入力によってプリチャージ動作の実行タイミングを制御することができる。したがって、請求項 1 記載の半導体装置の奏する効果を最終製品テスト時においても享受することができる。

【0123】請求項 5 記載の半導体装置は、テストモード時にプリチャージ動作の実行タイミングを制御するための信号を入力する外部端子を、通常コマンド時に他のコマンド信号を入力する外部端子と共有することができる。この結果、請求項 3 記載の半導体装置の奏する効果に加えて、製品の小型化を図ることができる。

【0124】請求項 6 および 7 記載の半導体装置は、通常動作に影響を与えることなくテストモード時において、内部書込制御信号の活性化から所定時間経過後にプリチャージ動作を実行することができる。この結果、ライトリカバリタイムに代表される、高速動作に対する製品規格の最小スペックを、発生するテスト信号の立上がり/立下がり時間が大きいデスタによっても評価することが可能となり、評価コストを低減することができる。

【0125】請求項 8 記載の半導体装置は、遅延回路で付与される遅延時間を短絡用スイッチのオン/オフによって外部から制御することができる。この結果、請求項 7 記載の半導体装置の奏する効果に加えて、高速動作に対する製品規格の最小スペックをより詳細に評価することが可能となる。

【0126】請求項 9 記載の半導体装置は、遅延回路中において、各短絡スイッチに対応して設けられる外部から溶断可能なヒューズをさらに有する。したがって、請求項 8 記載の半導体装置の奏する効果に加えて、遅延時間の微調整を簡易に実行することが可能となる。

【0127】請求項 10 記載の半導体装置は、互いに異なる遅延時間を有する複数のサブ遅延回路の選択によって、遅延回路で付与される遅延時間を制御することができる。したがって、請求項 6 記載の半導体装置の奏する

効果に加えて、レイアウト面積の小さい遅延回路によって広範囲の遅延時間を設定することが可能となる。

【0128】請求項11記載の半導体装置は、各サブ遅延回路で付与される遅延時間を短絡用スイッチのオン/オフおよびヒューズの溶断有無によって外部から制御することができる。この結果、請求項10記載の半導体装置の奏する効果に加えて、高速動作に対する製品規格の最小スペックをより詳細に評価することが可能となる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に従う半導体記憶装置の全体構成を示す概略ブロック図である。

【図2】 プリチャージ制御回路100の構成を示す回路図である。

【図3】 プリチャージ制御回路100によるライトリカバリタイムの評価方法を説明するタイミングチャートである。

【図4】 実施の形態2に従う半導体記憶装置の構成を説明する概略ブロック図である。

【図5】 テストプリチャージ信号入力端子を他の制御信号入力端子と共用するための構成について説明する回路図である。

【図6】 実施の形態3に従うプリチャージ制御回路150の構成を示す回路図である。

【図7】 プリチャージ制御回路150によるドライバ

信号の立上がり／立下がり時間が大きいメモリテストを用いたライトリカバリタイムの測定を説明するタイミングチャートである。

【図8】 実施の形態4に従うプリチャージ制御回路160の構成を示す回路図である。

【図9】 遅延回路210の構成を示す回路図である。

【図10】 従来の技術のプリチャージ制御回路500の構成を示す回路図である。

【図11】 プリチャージ制御回路500による通常動作モード時におけるライトリカバリタイムの測定方法を説明するタイミングチャートである。

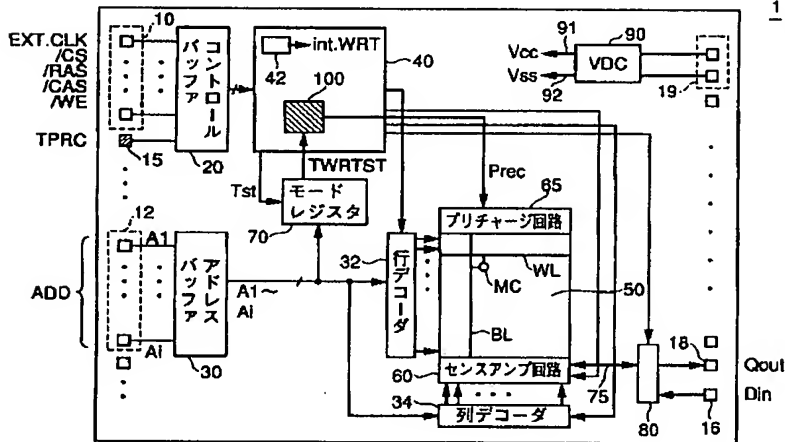
【図12】 従来の技術のプリチャージ制御回路によるテストモード時におけるライトリカバリタイムの評価方法を説明するタイミングチャートである。

【図13】 ドライバ信号の立上がり／立下がり時間の大きいメモリテストを用いたライトリカバリタイムを評価する場合の問題点を説明するタイミングチャートである。

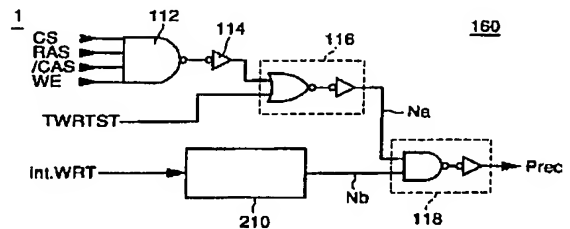
【符号の説明】

70 モードレジスタ、100、150、160 プリチャージ制御回路、200、210 遅延回路、212、214 サブ遅延回路、220、230 信号遅延部。

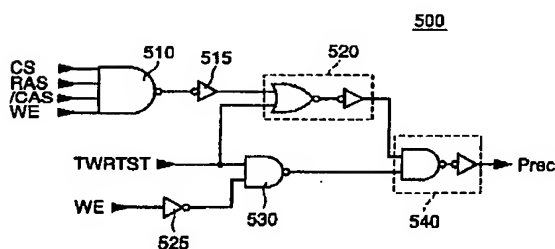
【図1】



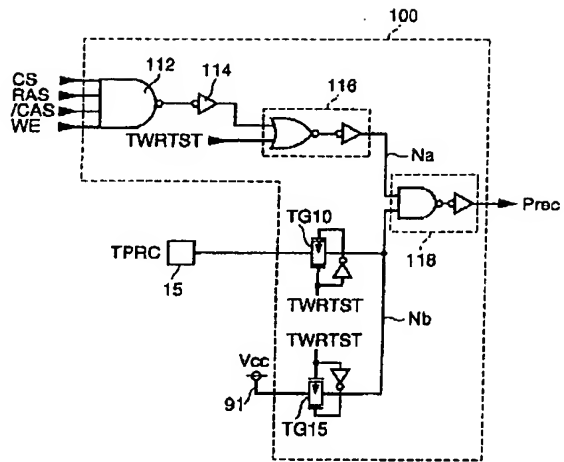
【図8】



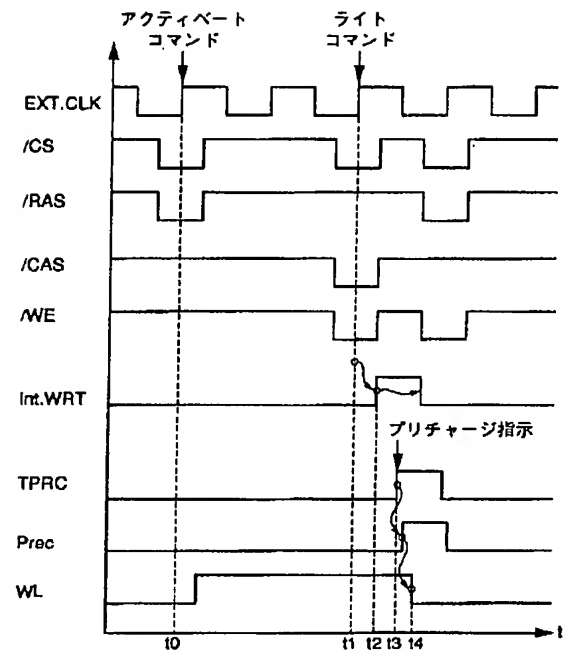
【図10】



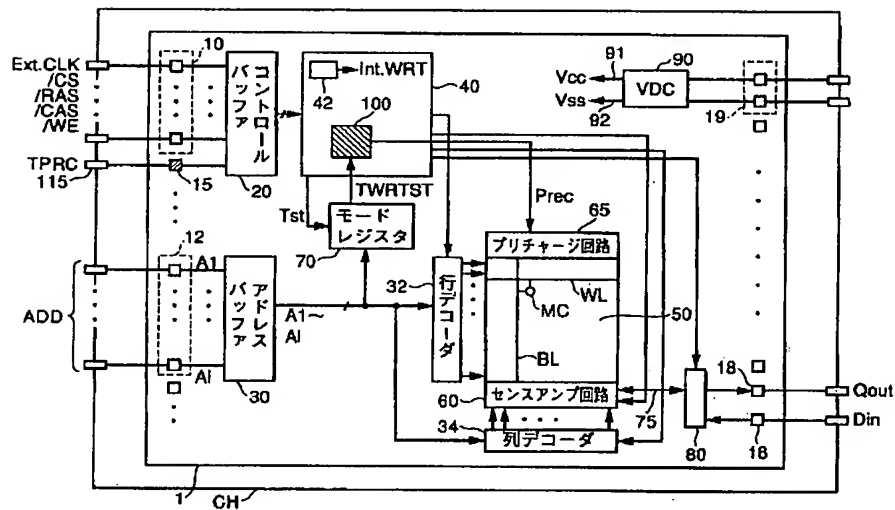
【図2】



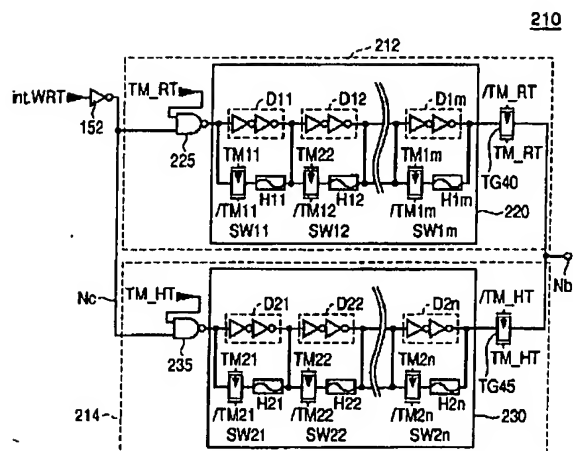
【図3】



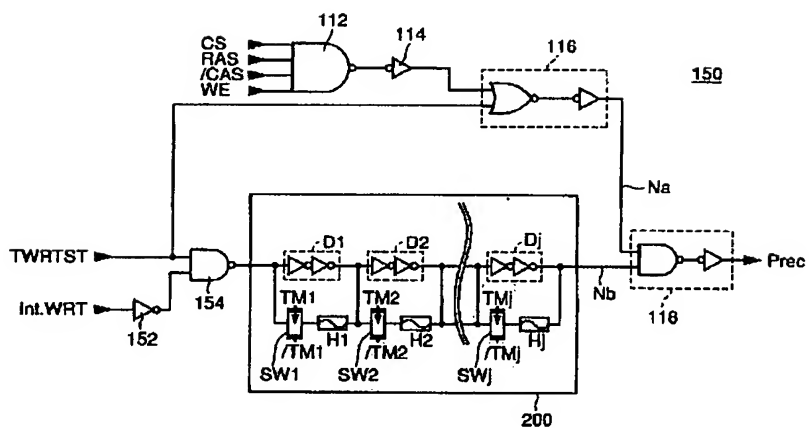
【図4】



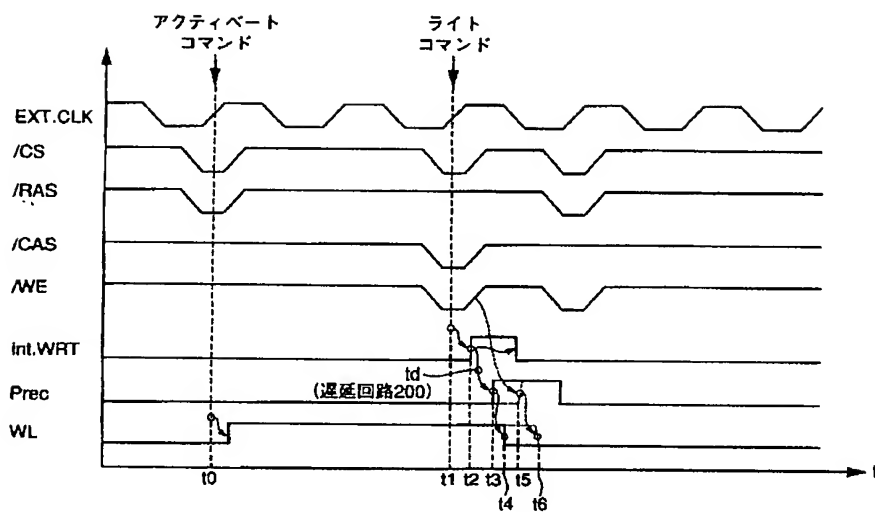
【図 9】



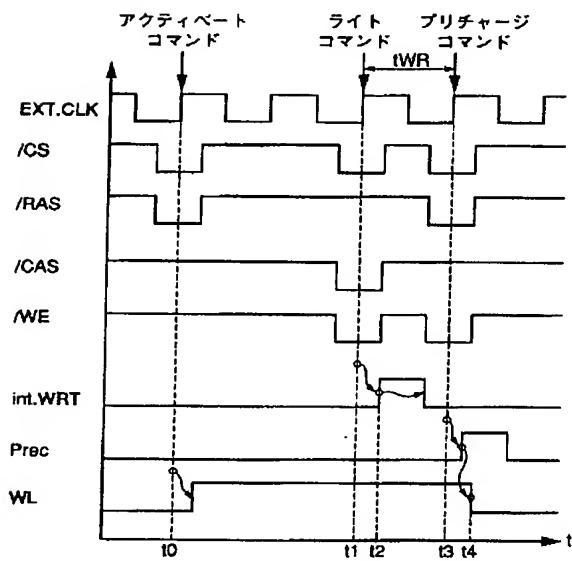
150



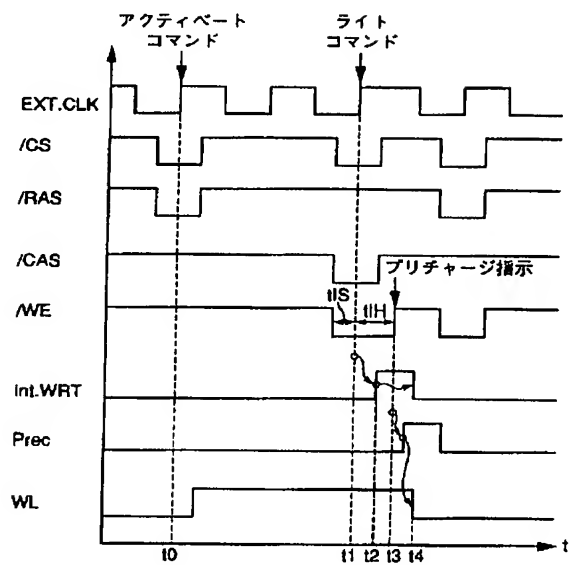
【図7】



【図11】



【図12】



【図13】

